

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **11298914 A**

(43) Date of publication of application: **29.10.99**

(51) Int. Cl.

**H04N 9/78**

(21) Application number: **10098249**

(22) Date of filing: **08.04.98**

(71) Applicant: **MITSUBISHI ELECTRIC CORP**

(72) Inventor:  
**KAI TOSHIHIRO  
KISHIMA JUNKO  
KUMANO MAKOTO  
KOJIMA MASANORI**

(54) **YC SEPARATOR**

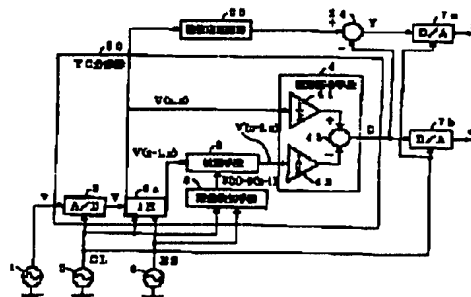
the means 4 from the output of the device 3a.

(57) Abstract:

COPYRIGHT: (C)1999,JPO

PROBLEM TO BE SOLVED: To obtain a yc separator, in which jitters are hardly visible even when a horizontal synchronizing signal and a clock are asynchronous with each other.

SOLUTION: This YC separator is provided with an A/D converter 2 that converts a received composite video signal into a digital signal, a horizontal delay device 3a that delays the digital video signal by a horizontal scanning period of time, a clock source 5 that specifies the operating cycle of the A/D converter 2 and the horizontal delay device 3a, a horizontal synchronization signal generating means 6 that generates a horizontal synchronizing signal HS asynchronously with a clock CL, a difference detection means 8 that obtains the difference between the horizontal synchronizing signal HS and the clock CL, an interpolation means 9 that applies linear interpolation on the difference based on an output slope of a horizontal delay device 3a, a linear coupling means 4 that subtracts plural digital video signals in clouding the interpolated digital video signal, and a subtractor 24 that subtracts an output of



(19) 日本國特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-298914

(43)公開日 平成11年(1999)10月29日

(51) Int.Cl.<sup>8</sup>

H04N 9/78

**識別記号**

FI

H04N 9/78

**A**

審査請求 未請求 請求項の数8 O.L (全 10 頁)

(21)出願番号

特願平10-96249

(22) 出題目

平成10年(1998)4月8日

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72)発明者 賀井 俊博

東京都千代田区丸の内二丁目2番3号 三  
菱電機株式会社内

(72)発明者 貴島 淳子

東京都千代田区丸の内二丁目2番3号 三  
菱電機株式会社内

(72)發明者 熊野 眞

東京都千代田区丸の内二丁目2番3号 三  
菱電機株式会社内

(74)代理人 弁護士 宮田 金雄 (外2名)

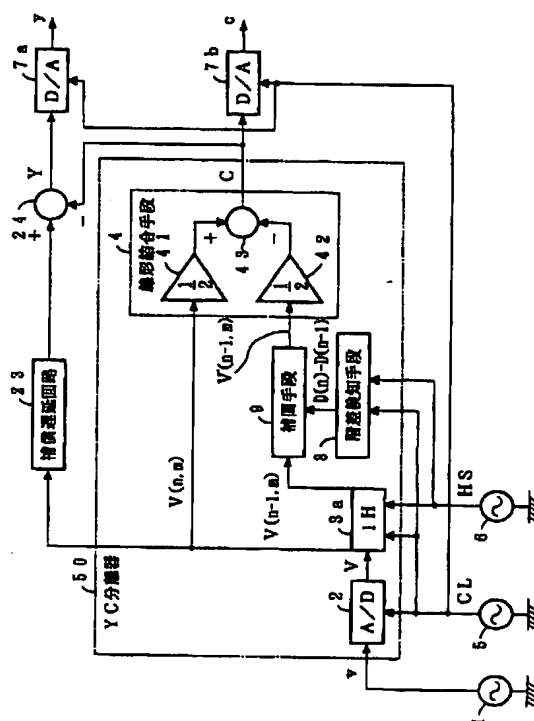
**最終頁に続く**

(54)【発明の名称】 YC分離装置

(57) 【要約】

【課題】 N T S C信号の輝度信号と色信号を分離する Y C分離装置において、水平同期信号とクロックが非同期的場合に発生するジッタを改善する。

【解決手段】 入力された複合映像信号をデジタル信号にするA/D変換器2と、このデジタル映像信号を水平走査期間遅延する水平遅延器3aと、A/D変換器2と水平遅延器3aの動作周期を規定するクロック源5と、クロックCLとは非同期の水平同期信号HSを発生する水平同期信号発生手段6と、水平同期信号HSとクロックCLの階差を求める階差検知手段8と、水平遅延器3aの出力の傾斜から上記階差分を直線補間する補間手段9と、この補間されたデジタル映像信号を含む複数のデジタル映像信号を減算する線形結合手段4と、線形結合手段4の出力と水平遅延器3aの出力との差をとる減算器24とを備えた。



## 【特許請求の範囲】

【請求項 1】 入力された複合映像信号をデジタル信号にする A/D 変換器と、このデジタル映像信号を水平走査期間遅延する水平遅延器と、上記 A/D 変換器と水平遅延器の動作周期を規定するクロック源と、このクロック源より発生するクロックとは非同期の上記水平遅延器の書き込みアドレスを初期化するための水平同期信号を発生する水平同期信号発生手段と、上記水平同期信号とクロックの階差を求める階差検知手段と、上記水平遅延器の出力の傾斜から上記階差分を直線補間する補間手段と、この補間されたデジタル映像信号を含む複数のデジタル映像信号を減算する線形結合手段と、この線形結合手段の出力と上記 A/D 変換器の出力との差をとる減算器とを備えた YC 分離装置。

【請求項 2】 階差検知手段が、水平同期信号とクロックの時間差を検知する時間差検知手段と、検知された時間差信号を水平遅延器と同じ期間記憶するメモリと、上記時間差信号と上記メモリ出力の差を導出する減算器とを備えている請求項 1 記載の YC 分離装置。

【請求項 3】 補間手段が、水平走査期間遅延されたデジタル映像信号の 1 クロック期間前の値を記憶する 1 クロック遅延器と、この 1 クロック遅延器の入力と出力の差を導出する減算器と、この減算器の出力に  $1/t$  ( $t$  は 1 クロック期間) を乗ずる乗数器と、この乗数器の出力に階差を乗ずる乗算器と、この乗算器の出力を水平走査の整数倍期間遅延されたデジタル映像信号に加算する加算器とを備えている請求項 1 記載の YC 分離装置。

【請求項 4】 乗算器が、ROM テーブルで構成されている請求項 3 記載の YC 分離装置。

【請求項 5】 映像信号が複合映像信号であり、水平同期信号を上記複合映像信号から同期分離して得るように構成されている請求項 1 記載の YC 分離装置。

【請求項 6】 水平遅延器が、1 フィールド期間に水平期間の 2 分の 1 を加えた期間だけ遅延させる機能を備えている請求項 1 記載の YC 分離装置。

【請求項 7】 水平遅延器が、1 フレーム期間だけ遅延させる機能を備えている請求項 1 記載の YC 分離装置。

【請求項 8】 1 水平期間だけ遅延させる機能を有する水平遅延器を備えた YC 分離器と、1 フィールド期間に水平期間の 2 分の 1 を加えた期間だけ遅延させる機能を有する水平遅延器を備えた YC 分離器と、1 フレーム期間だけ遅延させる機能を有する水平遅延器を備えた YC 分離器と、上記各 YC 分離器内の水平遅延器の出力から垂直方向への信号の非相関を検出する非相関検出回路と、この非相関検出回路の検出結果に従って上記各 YC 分離器の出力を切り替えて出力するスイッチ回路とを備えた請求項 1 記載の YC 分離装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 この発明は、色搬送波信号位

相変化およびジッタの改良に用いる N T S C 複合映像信号の Y C 分離装置に関する。

## 【0002】

【従来の技術】 図 10 は映像の垂直方向非相関ノイズを低減する従来の Y C 分離装置を示す図である。図において、1 は映像信号源、2 は A/D 変換器、3 a は水平遅延器 (1 H)、4 は線形結合手段で、1/2 乗数器 4 1、4 2 と減算器 4 3 で構成される。5 はクロック源、6 は水平同期信号発生手段、7 a、7 b は D/A 変換器、2 3 は補償遅延回路、2 4 は減算器、5 0 は Y C 分離器である。

【0003】 次に動作について説明する。映像信号源 1 において発生した映像信号  $v$  は A/D 変換器 2 によりデジタル信号  $V$  に変換される。デジタル信号  $V(n, m)$  は、水平遅延器 (1 H) 3 a および線形結合手段 4 に与えられる。水平遅延器 3 a により 1 ライン分遅延された信号  $V(n-1, m)$  もまた線形結合手段 4 に与えられる。線形結合手段 4 に与えられた 1 ライン差のある 2 入力信号は、それぞれ乗数器 4 1、4 2 で 1/2 倍され、減算器 4 3 で減算される。また、N T S C 搬送色信号は 1 ラインごとに色相が反転するので、1 ライン差信号を減算することで色信号は残り、輝度信号はキャンセルされる。線形結合手段 4 の出力  $C$  は、減算器 2 4 で補償遅延回路 2 3 で遅延された信号  $V$  から減算され、この結果信号  $Y$  が出力される。信号  $Y$ 、 $C$  はそれぞれ D/A 変換器 7 a、7 b によりアナログ信号  $y$ 、 $c$  に変換される。なお、A/D 変換器 2、水平遅延器 3 a、D/A 変換器 7 a、7 b は、クロック源 5 により生成されたクロック  $CL$  に同期した信号を出力する。また水平遅延器 3 a は、水平同期信号発生手段 6 により生成された水平同期信号  $HS$  にも制御される。

【0004】 次に、従来の Y C 分離装置において、色ジッタが発生する原因について説明する。図 11 は、図 10 に示した Y C 分離装置のサンプリングの状況を示している。ここでは、画面水平方向にレベルがある時間をもって立ち上がる場合の、サンプル画素のレベル  $v$ 、水平同期信号  $HS$ 、クロック  $CL$  について、 $(n-1)$  ラインと  $n$  ラインにおいて解説する。

【0005】 水平同期信号  $HS$  とクロック  $CL$  が非同期の場合、例えば同色つまり同位相であるはずの  $(n-1)$  ライン、 $m$  画素目 (つまり  $HS$  の立ち上がりから  $m$  画素目) のサンプル  $V(n-1, m)$  と、 $n$  ライン、 $m$  画素目のサンプル  $V(n, m)$  の位相が異なるという状態が起こりうる。このとき、図 10 の線形結合手段 4 によってこれらを合成すると、本来抽出されるべき  $C$  信号の位相とは異なったものとなる。また  $V(n, m)$  から  $C(n, m)$  を差し引いた  $Y(n, m)$  も、垂直方向に同じ値であった場合でもライン上下で値が変化することとなる。さらに、ライン上下だけでなく、何ライン離れていても同様に位相が異なる。この立ち上がりがずれる現象は、上記のように  $HS$

とCLが非同期のためであり、つまりランダムに起こることから、特にY信号ではジッタとして視認されることとなり、C信号の場合は色相ムラになる。

【0006】

【発明が解決しようとする課題】従来のYC分離装置は、以上のように構成されていたので、水平同期信号HSとクロックCLが非同期の場合にジッタが発生するという問題点があった。

【0007】この発明は上述のような課題を解決するためになされたもので、水平同期信号とクロックが非同期の場合でも、ジッタが視認されにくいYC分離装置を得ることを目的とする。

【0008】

【課題を解決するための手段】この発明に係るYC分離装置は、入力された複合映像信号をデジタル信号にするA/D変換器と、このデジタル映像信号を水平走査期間遅延する水平遅延器と、上記A/D変換器と水平遅延器の動作周期を規定するクロック源と、このクロック源より発生するクロックとは非同期の上記水平遅延器の書き込みアドレスを初期化するための水平同期信号を発生する水平同期信号発生手段と、上記水平同期信号とクロックの階差を求める階差検知手段と、上記水平遅延器の出力の傾斜から上記階差分を直線補間する補間手段と、この補間されたデジタル映像信号を含む複数のデジタル映像信号を減算する線形結合手段と、この線形結合手段の出力と上記水平遅延器の出力との差をとる減算器とを備えたものである。

【0009】また、階差検知手段が、水平同期信号とクロックの時間差を検知する時間差検知手段と、検知された時間差出力を水平走査期間記憶するメモリと、上記時間差信号と上記メモリ出力の差を導出する減算器とを備えたものである。

【0010】また、補間手段が、水平走査期間遅延されたデジタル映像信号の1クロック期間前の値を記憶する1クロック遅延器と、この1クロック遅延器の入力と出力の差を導出する減算器と、この減算器の出力に $1/t$  ( $t$ は1クロック期間)を乗ずる乗数器と、この乗数器の出力に階差を乗ずる乗算器と、この乗算器の出力を水平走査の整数倍期間遅延されたデジタル映像信号に加算する加算器とを備えたものである。

【0011】また、乗算器が、ROMテーブルで構成されたものである。

【0012】また、映像信号が複合映像信号であり、水平同期信号を上記複合映像信号から同期分離して得るように構成されたものである。

【0013】また、水平遅延器が、1フィールド期間に水平期間の2分の1を加えた期間だけ遅延させる機能を備えたものである。

【0014】また、水平遅延器が、1フレーム期間だけ遅延させる機能を備えたものである。

【0015】また、1水平期間だけ遅延させる機能を有する水平遅延器を備えたYC分離器と、1フィールド期間に水平期間の2分の1を加えた期間だけ遅延させる機能を有する水平遅延器を備えたYC分離器と、1フレーム期間だけ遅延させる機能を有する水平遅延器を備えたYC分離器と、上記各YC分離器内の水平遅延器の出力から垂直方向への信号の非相関を検出する非相関検出回路と、この非相関検出回路の検出結果に従って上記各YC分離器の出力を切り替えて出力するスイッチ回路とを備えたものである。

【0016】

【発明の実施の形態】この発明の実施の形態であるYC分離装置においては、A/D変換器と、水平遅延器と、クロック源と、水平同期信号発生手段と、階差検知手段と、補間手段と、線形結合手段と、補償遅延回路と、減算器とを有し、階差検知手段で水平同期信号とクロックの階差 $\{D(n)-D(n-1)\}$ を求め、補間手段で水平遅延器の出力の傾斜 $\{V(n-1,m)-V(n,m)\}/t$ から上記階差分を直線補間し、時間ずれに対応した振幅補正をすることでジッタを低減するように働く。特に以上の数式処理をソフトウェアで容易に実現することができる。

【0017】また、階差検知手段を、時間差検知手段と、時間差出力を水平走査期間記憶するメモリと、上記時間差信号と上記メモリ出力の差を導出する減算器とで構成したので、回路構成が簡単になる。

【0018】また、補間手段を、1クロック遅延器と、1クロック遅延器の入出力の差を導出する減算器と、この減算器の出力に $1/t$ を乗ずる乗数器と、この乗数器の出力に階差を乗ずる乗算器と、この乗算器の出力を1水平走査期間遅延されたデジタル映像信号に加算する加算器とで構成したので、回路構成が簡単になる。

【0019】また、補間手段の乗算器をROMテーブルで構成したので、高速かつ安価になる。

【0020】また、水平同期信号を、入力された複合映像信号から同期分離して得ている。

【0021】また、1フィールド期間に水平期間の2分の1を加えた分だけ遅延させる機能を有する水平遅延器を設けたので、注目ラインの1ライン下の信号で垂直非相関ノイズを低減するように働く。

【0022】また、1フレーム期間だけ遅延させる機能を有する水平遅延器を設けたので、1フレーム間の非相関ノイズを低減するように働く。

【0023】また、1水平期間だけ遅延させる機能を有する水平遅延器を備えたYC分離器と、1フィールド期間に水平期間の2分の1を加えた分だけ遅延させる機能を有する水平遅延器を備えたYC分離器と、1フレーム期間だけ遅延させる機能を有する水平遅延器を備えたYC分離器と、上記各YC分離器内の水平遅延器の出力から垂直方向の信号の非相関を検出する非相関検出回路と、この非相関検出回路の検出結果に従って上記各YC

分離器の出力を切り替えて出力するスイッチ回路とを設けたので、上記各YC分離器のうち最もノイズの少ない出力を得るように働く。

【0024】以下、この発明をその実施の形態を示す図面に基いて具体的に説明する。

実施の形態1. 図1は、この発明の実施の形態1であるYC分離装置を示すブロック図である。図において1は映像信号源、2はA/D変換器、3aは水平遅延器(1H)、4は線形結合手段で、乗数器41、42と減算器43で構成されている。5はクロック源、6は水平同期信号発生手段、7a、7bはD/A変換器、8は階差検知手段、9は補間手段、23は補償遅延回路、24は減算器、50はYC分離器で、YC分離器50は、A/D変換器2、水平遅延器3a、線形結合手段4、階差検知手段8および補間手段9で構成されている。

【0025】次に、動作について説明する。映像信号源1において発生した映像信号vは、A/D変換器2によりデジタル信号Vに変換される。デジタル信号Vは、水平遅延器3a、線形結合手段4および補償遅延回路23に与えられる。水平遅延器3aにより1ライン(1H)分遅延された信号V(n-1,m)は補間手段9に与えられる。階差検出手段8では、クロック源5により生成されたクロックCLと水平同期信号発生手段6により生成された水平同期信号HSを入力として階差{D(n)-D(n-1)}を検出して出力する。

【0026】補間手段9は、水平遅延器3aから入力された信号Vの傾斜{V(n-1,m)-V(n,m)}/tを検出し、階差検出手段8の出力{D(n)-D(n-1)}との積をV(n-1,m)に加算している。補間手段9の出力V'(n-1,m)は線形結合手段4に与えられる。線形結合手段4に与えられた1ライン差のある2つの入力信号は、それぞれ乗数器41、42で1/2倍され、減算器43によって減算され、信号Cを出力する。線形結合手段4の出力Cは補償遅延回路23の出力と減算器24により減算され、Y信号を出力する。Y、C信号はそれぞれD/A変換器7a、7bによりアナログ信号y、cに変換される。A/D変換器2、水平遅延器3aおよびD/A変換器7a、7bは、それぞれクロック源5により生成されたクロックCLに同期した信号を出力する。また水平遅延器3aは、水平同期信号発生手段6により生成された水平同期信号HSにも制御される。

【0027】図2はこの実施の形態1の階差検知手段8の構成を示すブロック図である。図において、10は水平同期信号HSとクロックCLの時間差D(n)を検知する時間差検知手段、11は時間差検知手段10の出力D(n)を水平走査期間記憶するメモリ、12は時間差検知手段10の出力D(n)とメモリ11の出力D(n-1)の差である階差D(n)-D(n-1)を導出する減算器である。

【0028】時間差検知手段10にはクロックCLと水平同期信号HSが入力され、時間差検知手段10の出力

は減算器12の一方の入力およびメモリ11に与えられ、メモリ11の出力は減算器12の他方の入力に与えられる。

【0029】次に、階差検知手段8の動作について説明する。時間差検知手段10は、クロックCLと水平同期信号HS間の時間差を求める。減算器12は、時間差検知手段10の出力D(n)から1水平走査期間前の時間差検知手段10の出力であるメモリ11の出力D(n-1)を減算することで、CLとHSの時間差のライン間における差である階差D(n)-D(n-1)を検知することができる。

【0030】図3は、この実施の形態1の補間手段9の構成を示すブロック図である。図において、13は1水平走査期間遅延されたデジタル映像信号の1クロック期間前の値V(n-1,m-1)を記憶する1クロック遅延器、14は1クロック遅延器13の入力と出力の差を導出する減算器、15は減算器14の出力に1/t(tは1クロック期間)を乗ずる乗数器、16は乗数器15の出力に階差D(n)-D(n-1)を乗ずる乗算器、17は乗算器16の出力を上記1水平走査期間遅延されたデジタル映像信号V(n-1,m)に加算する加算器である。

【0031】入力信号V(n-1,m)は、減算器14の一方の入力と加算器17の一方の入力と1クロック遅延器13に与えられる。1クロック遅延器13の出力V(n-1,m-1)は、減算器14の他方の入力に与えられ、減算器14の出力は乗数器15により(1/t)倍された後、乗算器16の一方の入力に与えられる。また、補間手段9の他方の入力信号D(n)-D(n-1)は、乗算器16の他方の入力に与えられる。乗算器16の出力は加算器17の他方の入力に与えられ、加算器17の出力は補間手段9の出力V'(n-1,m)となる。

【0032】次に、補間手段9の動作について説明する。減算器14では、2つの入力信号V(n-1,m)とV(n-1,m-1)を減算し、V(n-1,m)-V(n-1,m-1)を出力する。これを入力とする乗数器15は、{V(n-1,m)-V(n-1,m-1)}/tを出力する。乗算器16は、信号レベルの傾斜{V(n-1,m)-V(n-1,m-1)}/tと階差D(n)-D(n-1)を乗ずることで時間ずれに対応した振幅値を求め、加算器17で入力信号V(n-1,m)にこの振幅値を加算することで補正をしている。

【0033】この実施の形態1によれば、線形結合手段4に入力される階差検出手段8の出力が時間ずれに対応した振幅補正がなされているため、線形結合手段4により線形結合された信号Cの色搬送信号の位相変化およびジッタ成分が低減する。

【0034】実施の形態2. 図4は、この発明の実施の形態2であるYC分離装置内の補間手段9を示すブロック図である。図において、図3と同一符号はそれぞれ同一部分または相当部分を示しており、16aは乗数器15の出力に階差D(n)-D(n-1)を乗ずる乗算テーブルを

持ったROMである。

【0035】この実施の形態2は、実施の形態1における乗算器16を乗算テーブルを持ったROM16aで実現したものである。デジタル回路で乗算器を構成する場合、乗算器は1クロック期間に例えば8ビット乗算を完了する必要があり、高価となるが、乗算器として、番地を乗数器15の出力と階差に割り当て、ROM値を乗算出力とすることで、高速かつ安価な補間手段9が実現できる。

【0036】実施の形態3。図5は、この発明の実施の形態3である同期分離手段を備えたYC分離装置を示すブロック図で、y信号生成系は図示を省略している。図において、1は映像信号源、5はクロック源、7bはD/A変換器、18は同期分離手段、50はYC分離器である。

【0037】この実施の形態3は、実施の形態1のYC分離装置に同期分離手段18を設け、クロック源5を省略したものである。これにより、複合映像信号を入力とした場合、同期分離手段18により複合映像信号から同期信号HSを分離して供給することで、YC分離器50を動作させることができる。

【0038】実施の形態4。図6は、この発明の実施の形態4であるYC分離装置を示すブロック図で、図1と同一符号はそれぞれ同一部分または相当部分を示している。図において、3bは1フィールド期間に1水平期間の2分の1を加えた分(263H)だけ遅延させる水平遅延器、50aはYC分離器である。また、階差検知手段8のメモリ11は、263水平期間の遅延を与えるものとする。

【0039】次に、NTSC信号を入力とした場合の動作について説明する。水平遅延器3bで水平期間の263倍遅延させることで、1フィールド期間に水平期間の2分の1を加えた分だけ遅延させることになる。これにより、搬送色信号は反転し、YC分離される。そして注目ラインの1ライン下の信号で垂直非相関がある場合でも、非相関のある画素同士を用いなくてフィルタ動作を行うことができるので、ノイズの低減が実現できる。

【0040】実施の形態5。図7は、この発明の実施の形態5のYC分離装置を示すブロック図で、図1と同一符号はそれぞれ同一部分または相当部分を示している。図において、3cは1フレーム期間(525H)だけ遅延させる水平遅延器、50bはYC分離器である。また、階差検知手段8のメモリ11は、525水平期間の遅延を与えるものとする。

【0041】次に、NTSC信号を入力とした場合の動作について説明する。水平遅延器3cで水平期間の525倍遅延させることで、1フレーム期間だけ遅延させることになる。これにより、搬送色信号は反転し、YC分離される。そして注目ラインの1ライン上あるいは1ライン下の信号で垂直非相関がある場合でも、非相関のあ

る画素同士を用いなくてフィルタ動作を行うことができるので、ノイズの低減が実現できる。

【0042】実施の形態6。図8は、この発明の実施の形態6のYC分離装置を示すブロック図である。図において、1は映像信号源、5はクロック源、6は水平同期信号発生手段、7a、7bはD/A変換器、21はスイッチ回路、22は非相関検出回路、23は補償遅延回路、24は減算器、50は図1に示した1水平期間だけ遅延させる機能を有する水平遅延器3aを備えたYC分離器、50aは図6に示した1フィールド期間に水平期間の2分の1を加えた分だけ遅延させる機能を有する水平遅延器3bを備えたYC分離器、50bは図7に示した1フレーム期間だけ遅延させる機能を有する水平遅延器3cを備えたYC分離器である。

【0043】図9は、図8のYC分離装置における非相関検出回路22の構成を示すブロック図である。図において、221a、221b、221cは減算器、222は判定回路である。

【0044】次に、NTSC信号を入力とした場合の動作について説明する。入力信号が垂直方向に非相関の場合、または非相関でない場合、よりノイズの少ないc信号を得るには、注目サンプル $V(n,m)$ と線形結合を行うサンプルを最適なものにする必要がある。この実施の形態6においては、1ライン遅延したサンプル $V(n-1,m)$ と、1フィールド期間に水平期間の2分の1を加えた遅延数、つまり263ライン遅延したサンプル $V(n-263,m)$ と、1フレーム期間、つまり525ライン遅延したサンプル $V(n-525,m)$ のそれぞれについて、クロックC<sub>L</sub>と水平同期信号HSの階差を補間し、入力信号 $V(n,m)$ と線形結合を行った信号をスイッチ回路21に入力する。

【0045】非相関検出回路22には、上記4つのサンプルが入力され、サンプル $V(n-1,m)$ 、サンプル $V(n-263,m)$ 、および $V(n-525,m)$ は、それぞれ $V(n,m)$ とそれぞれ減算器221a、221b、221cによって差分がとられ、それぞれの差分信号は判定回路222に送られ、判定回路において差分の大小から最も非相関の小さい、つまり相関の強いサンプルが検出され、スイッチ回路21にこの相関の強いサンプルを選択する判定信号が出力される。スイッチ回路21では、3つの入力のうち、非相関検出回路22の結果に従って最も相関の強い1つの信号を選択して出力する。スイッチ回路21の出力は色信号出力Cとして出力され、補償遅延回路23によって遅延されたデジタル信号から信号Cを減算することで信号Yが得られる。信号Y、CはそれぞれD/A変換器7a、7bでアナログ信号y、cに変換される。

【0046】以上の動作により、この実施の形態6のYC分離装置は、YC分離器50、50a、50bのうち、最も非相関ノイズの少ない出力を得ることができる。

## 【0047】

【発明の効果】この発明は、以上説明したように構成されているので、以下に示すような効果を奏する。

【0048】この発明に係るYC分離装置は、水平同期信号とクロックの階差を求める階差検知手段と、水平遅延器出力の傾斜から上記階差分を1水平期間遅延したデジタル映像信号に直線補間する補間手段と、この補間されたデジタル映像信号を含む複数のデジタル映像信号を減算する線形結合手段を備えたので、クロックと水平同期信号が非同期的とき発生するジッタを低減したYC分離機能が実現でき、一般にS/N比が3dB向上する効果が得られる。

【0049】また、階差検知手段を、水平同期信号とクロックの時間差を検知する時間差検知手段と、時間差出力を水平走査期間記憶するメモリと、上記時間差信号と上記メモリ出力の差を導出する減算器とで構成したので、回路構成が簡易となる。

【0050】また、補間手段を、1クロック遅延器と、1クロック遅延器の入力と出力の差を導出する減算器と、減算器の出力に1/tを乗ずる乗算器と、乗算器の出力に階差を乗ずる乗算器と、乗算器の出力を水平走査期間遅延されたデジタル映像信号に加算する加算器とで構成したので、回路構成が簡易となる。

【0051】また、乗算器としてROMテーブルを用いたので、構成が簡単になる。

【0052】また、複合映像信号を入力とするYC分離装置に同期分離手段を設けたので、水平同期信号発生手段を設ける必要がない。

【0053】また、1フィールド期間から水平期間の2分の1を加えた263Hの水平遅延器を設けたので、フレーム画面における1ライン下の信号で垂直方向非相関ノイズ低減を実現でき、1ライン遅延器を用いた場合とは独立に、さらにS/Nを3dB向上させ、かつジッタを低減できる効果がある。

【0054】また、1フレーム期間(525H)だけ遅延させる水平遅延器を設けたので、1フレーム間の非相関ノイズの低減が実現でき、1ライン遅延器を用いた場合とは独立に、さらに3dB向上させ、かつジッタを低減できる効果がある。

【0055】また、1水平期間だけ遅延させる機能を有する水平遅延器を備えたYC分離器と、1フィールド期間に水平期間の2分の1を加えた分だけ遅延させる機能

を有する水平遅延器を備えたYC分離器と、1フレーム期間だけ遅延させる機能を有する水平遅延器を備えたYC分離器と、それぞれの水平遅延器の出力から垂直方向への信号の非相関を検出する非相関検出回路と、それぞれのYC分離器の出力を上記非相関検出回路の検出結果に従って最も相関の強い信号を出力するスイッチ回路を設けたので、上記各YC分離器のうち最もノイズの少ない出力を得ることができる効果がある。

## 【図面の簡単な説明】

【図1】 この発明の実施の形態1を示すYC分離装置のブロック図である。

【図2】 実施の形態1の階差検知手段を示すブロック図である。

【図3】 実施の形態1の補間手段を示すブロック図である。

【図4】 この発明の実施の形態2の補間手段を示すブロック図である。

【図5】 この発明の実施の形態3を示すYC分離装置のブロック図である。

【図6】 この発明の実施の形態4を示すYC分離装置のブロック図である。

【図7】 この発明の実施の形態5を示すYC分離装置のブロック図である。

【図8】 この発明の実施の形態6を示すYC分離装置のブロック図である。

【図9】 実施の形態6の非相関検出回路を示すブロック図である。

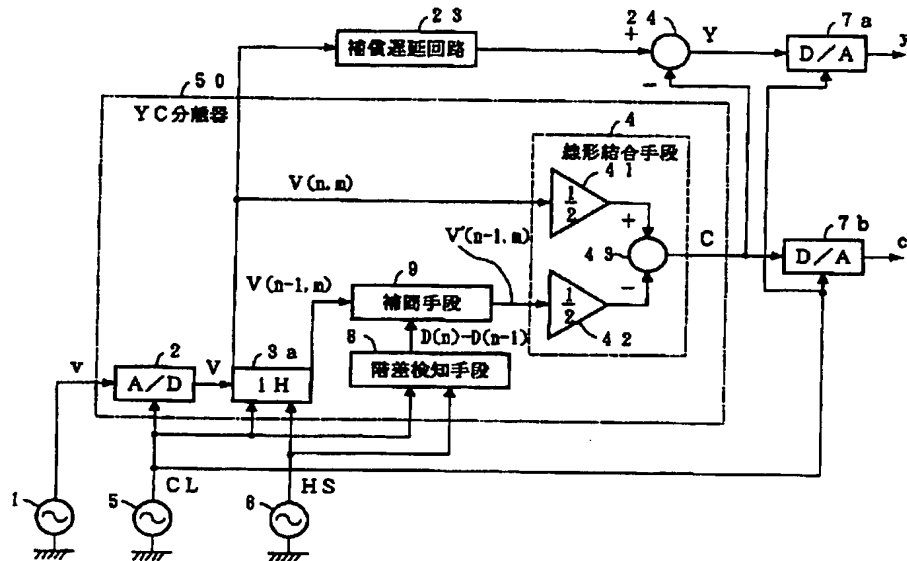
【図10】 従来のYC分離装置を示すブロック図である。

【図11】 サンプリングの状態を示す概念図である。

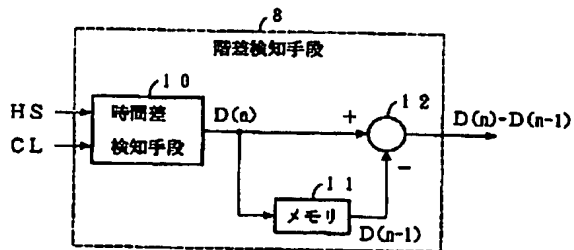
## 【符号の説明】

1 映像信号源、2 A/D変換器、3a, 3b, 3c 水平遅延器、4 線形結合手段、5 クロック源、6 水平同期信号源、7a, 7b D/A変換器、8 階差検知手段、9 補間手段、10 時間差検知手段、11 メモリ、12, 14, 24, 43, 221a~221c 減算器、13 1クロック遅延器、15, 41, 42 乗算器、16 乗算器、16a ROM、17 加算器、18 同期分離手段、21 スイッチ回路、22 非相関検出回路、23 補償遅延回路、50, 50a, 50b YC分離器、222 判定回路。

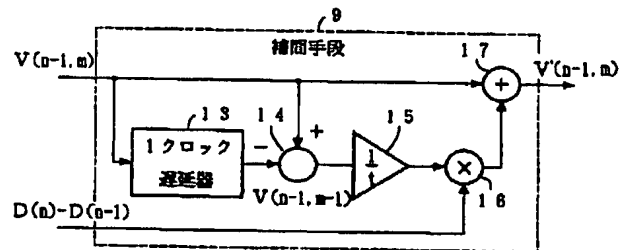
【図1】



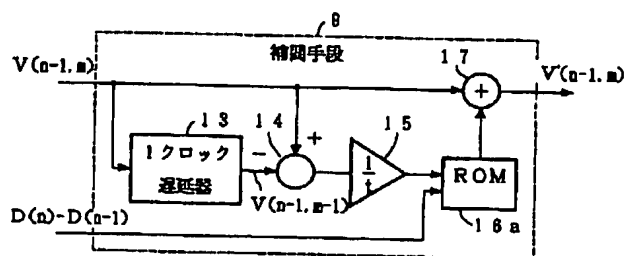
【図2】



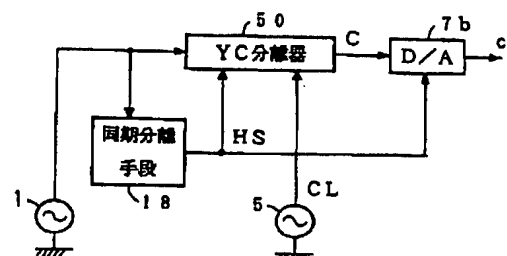
【図3】



【図4】

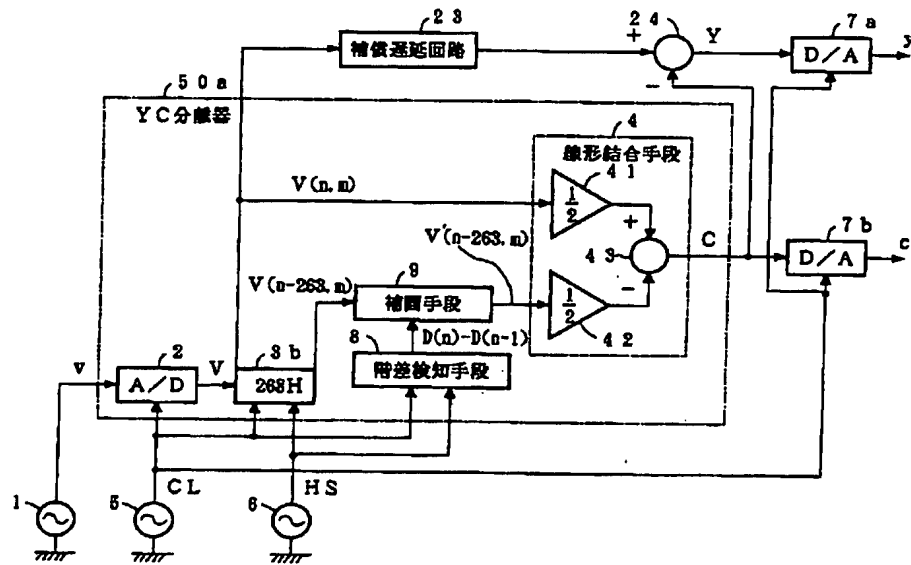


【図5】

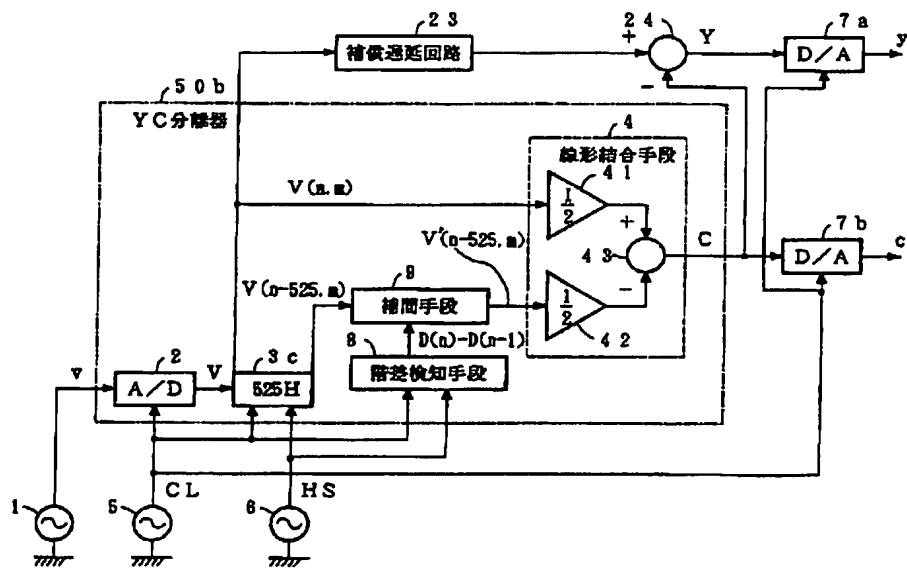




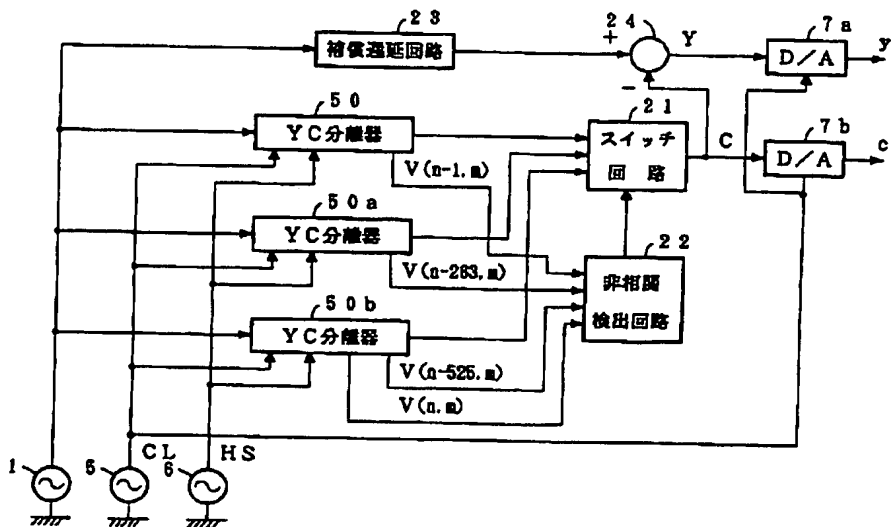
【図6】



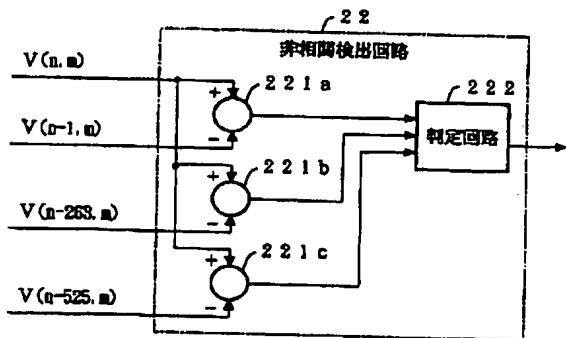
【図7】



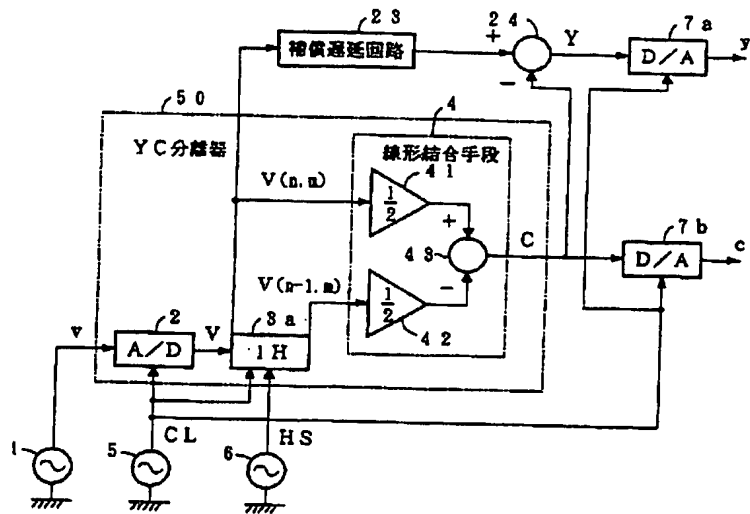
【图 8】



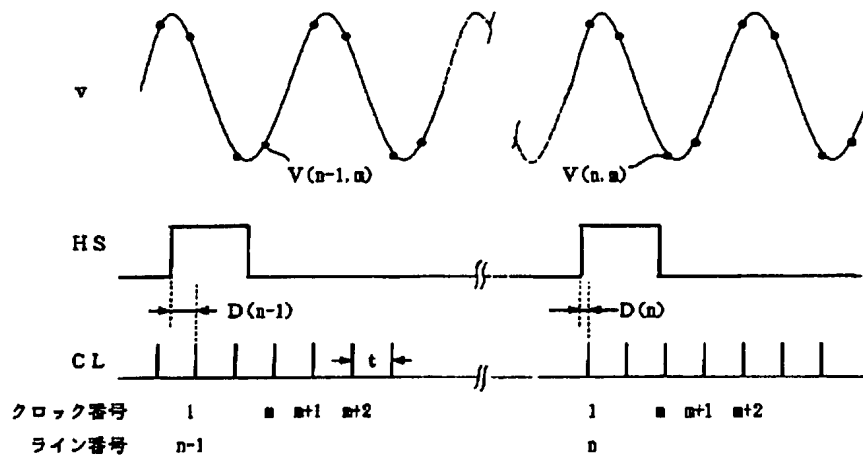
【 9 】



【図 10】



【図 11】



フロントページの続き

(72)発明者 小島 正典  
 東京都千代田区丸の内二丁目2番3号 三  
 菱電機株式会社内